

Rec'd PCT/PTO 24 AUG 2004

10/505431

ST/JP03/03196

日 本 国 特 許 庁

JAPAN PATENT OFFICE

17.03.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月20日

出 願 番 号

Application Number:

特願2002-079528

[ST.10/C]:

[JP2002-079528]

出 願 人

Applicant(s):

ソニー株式会社

REC'D 09 MAY 2003

WIPO

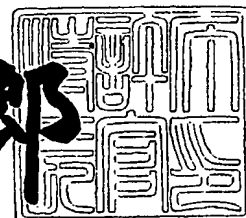
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 4月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3029019

【書類名】 特許願

【整理番号】 0290002103

【提出日】 平成14年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

 【住所又は居所】 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミ
コンダクタ九州株式会社内

 【氏名】 森山 勝利

【発明者】

 【住所又は居所】 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミ
コンダクタ九州株式会社内

 【氏名】 森 寛伸

【発明者】

 【住所又は居所】 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミ
コンダクタ九州株式会社内

 【氏名】 塚崎 久暢

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100114661

 【弁理士】

 【氏名又は名称】 内野 美洋

【選任した代理人】

 【識別番号】 100080160

 【弁理士】

 【氏名又は名称】 松尾 憲一郎

【手数料の表示】

【予納台帳番号】 156525

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プールの要否】 要

【書類名】 明細書

【発明の名称】 データ記憶回路及び同データ記憶回路におけるデータ書込み方法及びデータ記憶装置

【特許請求の範囲】

【請求項 1】 記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読込みを行なって既存データと新規データとを比較する比較判定部を設け、

同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべく構成したことを特徴とするデータ記憶回路。

【請求項 2】 データ記憶回路には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、

同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことを特徴とする請求項 1 記載のデータ記憶回路。

【請求項 3】 所定の記憶素子に新規データの書込処理を行なう前に、同記憶素子が記憶している既存データを読出す読出処理を行ない、既存データと新規データとを比較して、一致する場合には記憶素子への書込処理を行なわず、不一致の場合には記憶素子への新規データの書込処理を実行することを特徴とするデータ記憶回路におけるデータ書込み方法。

【請求項 4】 データ記憶回路に入力した書込信号に基づいて読出制御信号と書込制御信号とを生成し、読出制御信号に基づいて既存データを読出し、書込制御信号に基づいて新規データと比較することを特徴とする請求項 3 記載のデータ記憶回路におけるデータ書込み方法。

【請求項 5】 記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読込みを行なって既存データと新規データとを比較する比較判定部を設け、

同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行わず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべく構成したことを特徴とするデータ記憶装置。

【請求項6】 データ記憶装置には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、

同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことを特徴とする請求項1記載のデータ記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所定のデータを記憶するデータ記憶回路及び同データ記憶回路におけるデータ書込み方法、及びデータ記憶装置に関するものである。

【0002】

【従来の技術】

従来、パーソナルコンピュータをはじめとする電子計算機においては、CPUやメモリICなどの半導体装置内に、多数の記憶素子を組み合わせて構成したデータ記憶回路を配設し、同データ記憶回路にデータを記憶させて各種の処理を実行させている。

【0003】

かかるデータ記憶回路の記憶素子においては、通常、一つの記憶素子あたり1ビットのデータを記憶すべく構成している。すなわち、記憶素子は二種類の異なる状態を維持可能としており、一方の状態を「0」とし、他方の状態を「1」として、いずれか一方の状態を維持させることにより、「0」または「1」のデータを記憶している。このような記憶素子を多数配設することにより、記憶素子の配設数に応じたデータ量の記憶を可能としている。

【0004】

かかる記憶素子としては、多種多様な構成のものが知られており、例えば、NチャンネルMOSFET (Metal Oxide Silicon Field Effect Transistor) からなるフラッシュメモリの記憶素子では、ゲート電極部に設けたフローティングゲート層に電荷を蓄積した状態を「1」とし、フローティングゲート層に電荷を蓄積していない状態を「0」、あるいはその逆として「0」と「1」のデータを記憶可能としている。

【0005】

また、強磁性トンネル接合素子からなるMRAM (Magnetic Random Access Memory) の記憶素子では、自由磁化層の磁化方向が固定磁化層の磁化方向と反平行の状態を「1」、平行の状態を「0」、あるいはその逆として「0」と「1」のデータを記憶可能としている。

【0006】

これらの記憶素子を設けたデータ記憶回路において、ある一つの記憶素子に「0」または「1」のデータを新規に記憶させる場合には、同記憶素子に所定の電圧の印加、または電流の通電を行なうことにより状態変化を生起して行なっているが、その際に、記憶素子に先に記憶していた既存データが「0」であるか「1」であるかに関係なく、記憶素子に所定の電圧の印加、または電流の通電を行なうことにより同記憶素子を強制的に所定の状態として、新規データの記憶を行なっている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来のデータ記憶回路を具備した半導体装置からなるデータ記憶装置では、先に記憶していた既存データと、書込みを行なう新規データとが同一のデータであるにもかかわらず、記憶素子には電圧を印加して、または電流を通電して新規データの書込処理を行なっていたので、実質的な効果のない電力消費を生じ、省電力化を阻害しているという問題があった。

【0008】

特に、上記したフラッシュメモリやMRAMに用いられている記憶素子は、その構造上、新規データの書込みを行なうべく状態変化を生じさせるために多大な

電力を必要とするので、フラッシュメモリやMRAMなどのデータ記憶回路では無駄な電力消費もその分だけ大きくなり、省電力化をさらに阻害するという問題があった。

【0009】

【課題を解決するための手段】

そこで、本発明のデータ記憶回路では、上記の問題点を解決するために、記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読み込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行わず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべく構成した。

【0010】

また、データ記憶回路には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことにも特徴を有するものである。

【0011】

また、本発明のデータ記憶回路におけるデータ書込み方法では、所定の記憶素子に新規データの書込処理を行なう前に、同記憶素子が記憶している既存データを読出す読出処理を行ない、既存データと新規データとを比較して、一致する場合には記憶素子への書込処理を行わず、不一致の場合には記憶素子への新規データの書込処理を実行することとした。

【0012】

さらに、データ記憶回路に入力した書込信号に基づいて読出制御信号と書込制御信号とを生成し、読出制御信号に基づいて既存データを読出し、書込制御信号に基づいて新規データと比較することにも特徴を有するものである。

【0013】

また、本発明のデータ記憶装置では、上記の問題点を解決するために、記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの

読込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行なわず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべく構成した。

【 0 0 1 4 】

さらに、データ記憶装置には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことにも特徴を有するものである。

【 0 0 1 5 】

【発明の実施の形態】

本発明のデータ記憶回路及び同データ記憶回路を具備させて形成したデータ記憶装置は、複数の記憶素子を組み合わせて構成した記憶部を具備しており、かかるデータ記憶回路及びデータ記憶装置にデータの書込みを行なう場合には、所定の記憶素子に新規データを記憶させる前に、同記憶素子に既に記憶されている既存データをあらかじめ読出し、既存データと新規データとを比較して、一致した場合には新規データの書込みを行なわず、不一致の場合にのみ新規データの書込みを行なうものである。

【 0 0 1 6 】

すなわち、既存データと新規データとが一致することによって記憶素子に対して状態変化を生起する必要がある場合には、記憶素子に対して電圧の印加、または電流の通電を行なわず、その分だけ電力消費を削減し、省電力化することができる。

【 0 0 1 7 】

特に、既存データと新規データとが一致する確率は略 5 0 % であるので、記憶素子へのデータ書込みに要する電力を略半減させることができ、データ記憶回路及びデータ記憶装置の省電力化に大きく寄与することができる。

【 0 0 1 8 】

データ記憶装置は、データ記憶回路を半導体基板上に構築して記憶装置として
いるものであり、以下においては、半導体基板上に構築したデータ記憶回路につ
いて説明することによりデータ記憶装置の説明をあわせて行なうものとする。

【 0 0 1 9 】

ただし、データ記憶回路は、半導体基板上に構築したものに限定するものでは
なく、半導体基板以外の適宜の基板上に構築してもよい。また、データ記憶装置
は、単一の半導体基板上にデータ記憶回路を構築した形態に限定するものではな
く、複数の半導体基板に所要の回路を構築し、それらを適宜の電気配線で接続し
て構成してもよい。

【 0 0 2 0 】

既存データと新規データとの一致・不一致の判定を行なう比較判定は、データ
記憶回路に設けた比較判定部で行なっており、同比較判定部に既存データと新規
データとを取込んだ後、比較処理を行なっている。

【 0 0 2 1 】

さらに、データ記憶回路には、書込信号を検出して後述する制御信号を生成す
る制御信号生成部を設けている。書込信号は、いわゆるライトイネーブル信号で
あって、制御信号生成部において書込信号を検出することにより、データ記憶回
路に接続した新規データ入力線から入力した新規データ信号に基づいて、所定の
記憶素子に新規データを書込可能とすべく構成している。

【 0 0 2 2 】

特に、制御信号生成部では、書込信号の検出にともなって既存データの読出制
御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生
成している。

【 0 0 2 3 】

そして、制御信号生成部は、先に読出制御信号を出力することにより所定の記
憶素子における既存データを読出して比較判定部に取込み、次いで、書込制御信
号を出力することにより比較判定部に取込んだ既存データと新規データとの比較
を行なって、既存データと新規データとが不一致の場合には、比較判定部は書込
許可信号を出力して新規データの記憶素子への書込みを実行している。

【 0 0 2 4 】

一方、既存データと新規データとが一致する場合には、比較判定部は書込許可信号を出力せず、従って、記憶素子への新規データの書込みは実行せず、無用の電力消費を抑制している。

【 0 0 2 5 】

以下において、図面に基づいて本発明の実施形態をさらに詳説する。

【 0 0 2 6 】

図 1 は、本実施形態のデータ記憶回路 1 のブロック図である。データ記憶回路 1 は、複数の記憶素子 M を適宜配列して構成した記憶素子領域 2 を具備する記憶部 3 と、同記憶部 3 を新規データの入力受付状態とする書込信号 6s を検出する制御信号生成部 4 と、書込信号 6s の検出に基づいて記憶部 3 の所定の記憶素子 M で記憶する新規データの記憶素子 M への書込みの制御を行なう比較判定部 5 とにより構成している。

【 0 0 2 7 】

さらに、データ記憶回路 1 には、記憶部 3 に新規データを入力する新規データ入力線 6 を接続するとともに、制御信号生成部 4 に書込信号 7s を入力するための書込信号線 7 を接続している。

【 0 0 2 8 】

本実施の形態では、記憶素子 M として強磁性トンネル接合素子を用いており、記憶素子領域 2 内に格子状に配設した複数のワード線 8 とビット線 9 との交差部分に強磁性トンネル接合素子を配設している。なお、図示していないが、強磁性トンネル接合素子に記憶したデータの読出しを行なうべく、ワード線 8 と平行に読出用のセンス線を設けている。

【 0 0 2 9 】

以下においては、記憶素子 M が強磁性トンネル接合素子である場合について説明するが、記憶素子 M は強磁性トンネル接合素子に限定するものではなく、フラッシュメモリを構成する N チャンネル MOS F E T 等の既知の記憶素子であってもよく、その場合、記憶素子 M へのデータの書込形態及び読出形態に合わせて適宜のワード線 8 及びビット線 9 を設けてよい。

【0030】

各ワード線8及び各センス線的一端にはそれぞれ列駆動制御部10を接続しており、各列駆動制御部10は列デコーダ11と接続して、列デコーダ11からの制御信号に基づいて作動すべく構成している。また、各ビット線9の一端には行駆動制御部12を接続しており、各行駆動制御部12は行デコーダ13と接続して、行デコーダ13からの制御信号に基づいて作動すべく構成している。

【0031】

列デコーダ11には列アドレスデータ出力部14を接続しており、また、行デコーダ13には行アドレスデータ出力部15を接続している。所定の記憶素子Mを指定する外部入力信号を、列アドレスデータ信号14sとして列アドレスデータ出力部14から列デコーダ11に入力し、また、行アドレスデータ信号15sとして行アドレスデータ出力部15から行デコーダ13に入力すべく構成している。

【0032】

図1においては、列アドレスデータ出力部14及び行アドレスデータ出力部15は、データ記憶回路1の外部に設けているように記載しているが、列アドレスデータ出力部14及び行アドレスデータ出力部15を含めてデータ記憶回路1としてもよい。

【0033】

列デコーダ11では、入力された列アドレスデータ信号14sに基づいてデコードし、列デコーダ11と接続した列駆動制御部10のいずれか一つを作動させ、また、行デコーダ13では、入力された行アドレスデータ信号15sに基づいてデコードし、行デコーダ13と接続した行駆動制御部12のいずれか一つを作動させ、作動状態となった列駆動制御部10と接続しているワード線8またはセンス線と、同じく作動状態となった行駆動制御部12と接続しているビット線9との交差部分に位置する記憶素子Mを作動状態として、同記憶素子Mへのデータの書込みまたは読出しを可能としている。

【0034】

特に、記憶素子Mに新規データを書込む場合、あるいは、記憶素子Mから既存データを読出す場合には、列アドレスデータ出力部14から出力した列アドレスデ

ータ信号14sと、行アドレスデータ出力部15から出力した行アドレスデータ信号15sとによって、あらかじめ書込みあるいは読出しを行なう記憶素子Mを作動状態としている。

【 0 0 3 5 】

さらに、本実施の形態においては、記憶素子Mを強磁性トンネル接合素子としているので、行駆動制御部12にはそれぞれ新規データ入力線6を接続している。そして、上記したように所定の記憶素子Mを作動状態とするとともに、新規データ入力線6を介して行駆動制御部12に新規データ信号6sを入力することにより、行駆動制御部12がビット線9に所定の向きの電流を流し、記憶素子Mに新規データの書込みを行なっている。

【 0 0 3 6 】

一方、記憶素子Mに記憶した既存データの読出しは、上記したように読出しを行なう記憶素子Mを作動状態として、センス線を用いて記憶素子Mの抵抗値を検出し、列駆動制御部10において検出した抵抗値に基づいて既存データ信号を生成し、列デコーダ11に出力することにより行なっている。

【 0 0 3 7 】

データ記憶回路1は、通常、ノイズ等の誤入力によって記憶素子Mにおける記憶状態が勝手に変動することを防止するプロテクト状態としており、上記したようにデータ記憶回路1に書込信号7sを入力することにより、同書込信号7sの入力時のみデータ記憶回路1の記憶部3を新規データの入力可能状態として、新規データを書込可能としている。

【 0 0 3 8 】

特に、データ記憶回路1では、書込信号7sを検出する制御信号生成部4において、書込信号7sの検出にともなって読出制御信号16sと書込制御信号17sとを生成している。読出制御信号16sとは、新規データが記憶される記憶素子Mから既存データの読出しを行なうための制御信号であり、書込制御信号17sとは、同記憶素子Mに新規データの書込みを行なうための制御信号である。

【 0 0 3 9 】

書込信号7sから読出制御信号16sと書込制御信号17sとを生成すべく、制御信号

生成部 4 には、図 2 に示すように、読出制御信号生成部 18 と、書込制御信号生成部 19 とを並列させて設けている。

【 0 0 4 0 】

すなわち、制御信号生成部 4 では、書込信号線 7 を読出制御信号生成線 20 と書込制御信号生成線 21 とに分岐して、読出制御信号生成部 18 と書込制御信号生成部 19 とにそれぞれ書込信号 7s を入力し、読出制御信号生成部 18 において読出制御信号 16s を生成するとともに、書込制御信号生成部 19 において書込制御信号 17s を生成している。

【 0 0 4 1 】

読出制御信号生成部 18 では読出制御信号生成線 20 をさらに第 1 読出制御信号生成線 20a と第 2 読出制御信号生成線 20b とに分岐し、第 1 読出制御信号生成線 20a と第 2 読出制御信号生成線 20b とを AND ゲート 22 に接続し、同 AND ゲート 22 によって読出制御信号 16s を生成している。

【 0 0 4 2 】

このとき、第 2 読出制御信号生成線 20b には NOT ゲート 23 を介設し、さらに、同 NOT ゲート 23 の出力側に抵抗体 24 を介設するとともにコンデンサ 25 の一端を接続することにより、図 3 に示すように、読出制御信号生成部 18 は書込信号 7s の立ち上がりを検出して読出制御信号 16s を生成し、AND ゲート 22 に接続した読出制御信号線 16 から出力している。

【 0 0 4 3 】

また、書込制御信号生成部 19 でも書込制御信号生成線 21 をさらに第 1 書込制御信号生成線 21a と第 2 書込制御信号生成線 21b とに分岐し、第 1 書込制御信号生成線 21a と第 2 書込制御信号生成線 21b とを NOR ゲート 26 に接続し、同 NOR ゲート 26 によって書込制御信号 17s を生成している。

【 0 0 4 4 】

このとき、第 2 書込制御信号生成線 21b には NOT ゲート 27 を介設し、さらに、同 NOT ゲート 27 の出力側に抵抗体 28 を介設するとともにコンデンサ 29 の一端を接続することにより、図 3 に示すように、書込制御信号生成部 19 は書込信号 7s の立ち下がりを検出して書込制御信号 17s を生成し、NOR ゲート 26 に接続した

書込制御信号線17から出力している。

【 0 0 4 5 】

すなわち、読出制御信号16s及び書込制御信号17sは、同一の書込信号7sから生成することができるので、極めて簡単な構成で、所定の時間差を有する読出制御信号16sと書込制御信号17sとを精度よく生成することができ、同読出制御信号16s及び同書込制御信号17sによる後述する比較判定部5の制御を確実にこなうことができる。

【 0 0 4 6 】

図1に示すように、読出制御信号線16及び書込制御信号線17は、列デコーダ11及び行デコーダ13に接続し、読出制御信号16s及び書込制御信号17sに基づいて列デコーダ11及び行デコーダ13を後述するように制御している。さらに、読出制御信号線16及び書込制御信号線17は、各列駆動制御部10及び各行駆動制御部12にもそれぞれ接続し、読出制御信号16s及び書込制御信号17sに基づいて列駆動制御部10及び行駆動制御部12を後述するように制御している。

【 0 0 4 7 】

また、読出制御信号線16及び書込制御信号線17は、比較判定部5にも接続しており、読出制御信号16s及び書込制御信号17sを比較判定部5に入力して、比較判定部5の制御を行なっている。

【 0 0 4 8 】

さらに、比較判定部5には、比較する新規データ信号6sと既存データ信号30sとを入力すべく、新規データ入力線6を接続するとともに、列デコーダ11と連結した既存データ入力線30を接続している。

【 0 0 4 9 】

比較判定部5は、図4に示すように、新規データ入力線6を介して入力した新規データ信号6sを一時保持する新規データ信号保持部31と、既存データ入力線30を介して入力した既存データ信号30sを一時保持する既存データ信号保持部32と、新規データ信号保持部31で保持した新規データ信号6sと既存データ信号保持部32で保持した既存データ信号30sとの比較判定を行なう書込許可信号生成部33とによって構成している。

【0050】

新規データ信号保持部31は、同新規データ信号保持部31への新規データ信号6sの入力を制御する入力制御トランジスタ34と、新規データ信号保持部31に入力した新規データ信号6sを保持する保持部35とにより構成している。

【0051】

入力制御トランジスタ34のゲート電極には読出制御信号線16を接続しており、ゲート電極に読出制御信号16sを入力することによって、入力制御トランジスタ34に接続した新規データ入力線6から、入力制御トランジスタ34に接続した保持部35に、新規データ信号6sを入力している。

【0052】

保持部35は、2つのインバータ36,36を組み合わせて構成したラッチからなる簡易記憶回路としており、一定期間、新規データ信号6sを保持可能としている。

【0053】

また、既存データ信号保持部32も、新規データ信号保持部31と同様に、既存データ信号保持部32への既存データ信号30sの入力を制御する入力制御トランジスタ37と、既存データ信号保持部32に入力した既存データ信号30sを保持する保持部38とにより構成している。

【0054】

入力制御トランジスタ37のゲート電極には読出制御信号線16を接続しており、ゲート電極に読出制御信号16sを入力することによって、入力制御トランジスタ37に接続した既存データ入力線30から、入力制御トランジスタ37に接続した保持部38に、既存データ信号30sを入力している。

【0055】

保持部38は、2つのインバータ40,40を組み合わせて構成したラッチからなる簡易記憶回路としており、一定期間、既存データ信号30sを保持可能としている。

【0056】

書込許可信号生成部33は、新規データ信号保持部31からの新規データ信号6sの出力を制御する出力制御トランジスタ41と、既存データ信号保持部32からの既存

データ信号30sの出力を制御する出力制御トランジスタ42と、出力制御トランジスタ41,42により保持部35,38から出力した新規データ信号6sと既存データ信号30sとを入力するXORゲート43とにより構成している。

【 0 0 5 7 】

特に、出力制御トランジスタ41,42のゲート電極には、それぞれ書込制御信号線17を接続しており、同書込制御信号線17を介して書込制御信号17sを出力制御トランジスタ41,42に入力することにより、保持部35,38からXORゲート43に新規データ信号6sと既存データ信号30sとを出力している。

【 0 0 5 8 】

XORゲート43では、入力された新規データ信号6sと既存データ信号30sが不一致の場合には、同XORゲート43に接続した書込許可信号線44から書込許可信号44sを出力し、新規データ信号6sと既存データ信号30sが一致する場合には、書込許可信号44sの出力を行なわない。

【 0 0 5 9 】

出力制御トランジスタ41,42のゲート電極に書込制御信号17sを入力して、新規データ信号保持部31及び既存データ信号保持部32から、新規データ信号6s及び既存データ信号30sを同時に出力することにより、新規データ信号6sと既存データ信号30sとの比較を極めて容易に行なうことができ、書込許可信号生成部33の構成を簡潔とすることができる。

【 0 0 6 0 】

さらに、書込許可信号生成部33での判定処理を短時間で行なうことができるので、処理速度を向上させることができる。

【 0 0 6 1 】

なお、書込制御信号17sの入力時以外には、XORゲート43には誤作動防止信号を入力し、XORゲート43が誤って書込許可信号44sを出力することを防止している。本実施の形態では、ゲート電極に書込制御信号線17を接続した制御トランジスタ41,42,45を用いて誤作動防止信号を制御している。

【 0 0 6 2 】

書込許可信号線44は、図1に示すように、各列駆動制御部10及び各行駆動制御

部12とそれぞれ接続しており、各列駆動制御部10及び各行駆動制御部12に書込許可信号44sを入力すべく構成している。

【0063】

最後に、図5のフローチャートに基づいて、上記のように構成したデータ記憶回路1に新規データを記憶させる場合の動作について説明する。所定の記憶素子Mに新規データを記憶する際には、まず、同記憶素子Mを上記したようにあらかじめ作動状態とする（ステップS1）。

【0064】

そして、データ記憶回路1には、新規データ入力線6から新規データ信号6sを入力するとともに（ステップS2）、書込信号線7から書込信号7sを入力する（ステップS3）。

【0065】

書込信号7sの入力に基づいて、制御信号生成部4は、先ず読出制御信号線16を介して読出制御信号16sを出力し（ステップS4）、列デコーダ11、行デコーダ13、各列駆動制御部10、各行駆動制御部12に入力することにより、所定の記憶素子Mに記憶している既存データを列デコーダ11に読出し、列デコーダ11は、読み出した既存データを既存データ信号30sとして、同列デコーダ11に接続した既存データ入力線30に出力する（ステップS5）。これが読出処理である。

【0066】

また、制御信号生成部4は、読出制御信号16sを比較判定部5にも入力し、比較判定部5では、読出制御信号16sの入力にともなって、同比較判定部5の新規データ信号保持部31に新規データ信号6sを入力させて一旦保持するとともに、既存データ信号保持部32に既存データ信号30sを入力させて一旦保持する（ステップS6）。

【0067】

所定時間の後、制御信号生成部4は書込信号7sに基づいて書込制御信号17sを生成し、同書込制御信号17sを比較判定部5に入力する（ステップS7）。なお、書込制御信号17sは、読出制御信号16sによって比較判定部5に新規データ信号6sと既存データ信号30sとが入力されるに十分な時間の経過後に制御信号生成部

4 から出力されるべく書込信号7sを調整している。

【 0 0 6 8 】

比較判定部 5 では、入力された書込制御信号17sに基づいて、新規データ信号保持部31で保持した新規データ信号6sと、既存データ信号保持部32で保持した既存データ信号30sとを出力して比較する（ステップ S 8）。

【 0 0 6 9 】

そして、新規データ信号6sと既存データ信号30sとが不一致の場合には、新規データと既存データは異なっているので、比較判定部 5 は書込許可信号44sを出力する（ステップ S 9）。

【 0 0 7 0 】

このとき、制御信号生成部 4 から出力した込制御信号17sは、書込制御信号線17を介して列デコーダ11、行デコーダ13、各列駆動制御部10、各行駆動制御部12にも入力し、さらに、比較判定部 5 が出力した書込許可信号44sを、書込許可信号線44を介して各列駆動制御部10及び各行駆動制御部12に入力することにより、記憶部 3 は所定の記憶素子Mに新規データの書込みを実行する（ステップ S 1 0）。これが書込処理である。

【 0 0 7 1 】

一方、比較判定部 5 での新規データ信号6sと既存データ信号30sとの比較において（ステップ S 8）、新規データ信号6sと既存データ信号30sとが一致した場合、すなわち、新規データと既存データとが一致する場合には、比較判定部 5 は書込許可信号44sを出力せず、記憶部 3 は所定の記憶素子Mに新規データの書込みを実行しないまま書込処理を終了する。

【 0 0 7 2 】

記憶素子Mへの新規データの書込みを実行しなくても、すでに記憶素子Mに記憶している既存データは、新規データと同じデータであるので、問題が生じることはない。

【 0 0 7 3 】

このように、記憶素子Mに記憶させる新規データが、同新規データの書込みを行なう記憶素子Mに既に記憶されている既存データと一致する場合には、新規デ

ータの書込みを実行しないことによって、新規データの書込みにともなう電力の消費を削減することができ、省電力化を図ることができる。

【0074】

そして、上記のデータ記憶回路1を半導体基板上に構築することによって少電力化したデータ記憶装置を形成することができ、同データ記憶装置を用いることによって少電力化したICメモリや記憶領域を有するCPUを形成することができる。

【0075】

【発明の効果】

請求項1記載の発明によれば、記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行わず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべくデータ記憶回路を構成したことによって、記憶素子への書込みの実行回数を実質的に削減することができ、新規データの書込みにともなう電力の消費を抑制して省電力化できる。

【0076】

特に、既存データと新規データとが一致する確率は略50%であるので、新規データの書込みに要する消費電力を半減させることができる。

【0077】

請求項2記載の発明によれば、データ記憶回路には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことによって、精度よく生成した読出制御信号と書込制御信号とによりデータ記憶回路の制御を確実に行うことができ、誤作動を防止して余計な電力消費を防止できる。特に、所定の時間差を設けて生成する読出制御信号と書込制御信号との時間差を必要最小限に調整できるので、比較判定部での処理を高速化できる。

【 0 0 7 8 】

請求項 3 記載の発明によれば、所定の記憶素子に新規データの書込処理を行なう前に、同記憶素子が記憶している既存データを読出す読出処理を行ない、既存データと新規データとを比較して、一致する場合には記憶素子への書込処理を行わず、不一致の場合には記憶素子への新規データの書込処理を実行することによって、請求項 1 記載の発明と同様に、既存データと新規データが一致した場合には書込処理を実行しないので、書込処理の実行回数を実質的に削減することができ、書込処理にともなう電力の消費を抑制して省電力化できる。

【 0 0 7 9 】

請求項 4 記載の発明によれば、データ記憶回路に入力した書込信号に基づいて読出制御信号と書込制御信号とを生成し、読出制御信号に基づいて既存データを読出し、書込制御信号に基づいて新規データと比較することによって、既存データの読み出し処理に引き続いて新規データの書込処理を速やかに実行することができ、処理速度を向上させることができるとともに、誤作動を防止し、誤作動にともなう余計な電力消費を防止できる。

【 0 0 8 0 】

請求項 5 記載の発明によれば、記憶素子に新規データの書込みを行なう前に、同記憶素子が記憶している既存データの読込みを行なって既存データと新規データとを比較する比較判定部を設け、同比較判定部において、既存データと新規データとが一致する場合には記憶素子への書込みを行わず、既存データと新規データとが不一致の場合には記憶素子への新規データの書込みを行なうべくデータ記憶装置を構成したことによって、請求項 1 記載の発明と同様に、記憶素子への書込みの実行回数を実質的に削減することができ、新規データの書込みにともなう電力の消費を抑制して省電力化できる。

【 0 0 8 1 】

請求項 6 記載の発明によれば、データ記憶装置には、既存データの読出制御を行なう読出制御信号と、新規データの書込制御を行なう書込制御信号とを生成する制御信号生成部を設け、同制御信号生成部からの制御信号に基づいて、比較判定部において既存データと新規データとの比較を行なうべく構成したことによ

て、請求項2記載の発明と同様に、精度よく生成した読出制御信号と書込制御信号とによりデータ記憶装置の制御を確実に行うことができ、誤作動を防止して余計な電力消費を防止できる。特に、所定の時間差を設けて生成する読出制御信号と書込制御信号との時間差を必要最小限に調整できるので、比較判定部での処理を高速化できる。

【図面の簡単な説明】

【図1】

本発明に係るデータ記憶回路の構成を説明するブロック図である。

【図2】

制御信号生成部の構成を説明する回路図である。

【図3】

制御信号生成部で生成した読出制御信号と書込制御信号の説明図である。

【図4】

比較判定部の構成を説明する回路図である。

【図5】

データ記憶回路におけるデータの書込処理のフローチャートである。

【符号の説明】

M 記憶素子

1 データ記憶回路

2 記憶素子領域

3 記憶部

4 制御信号生成部

5 比較判定部

6 新規データ入力線

6s 書込信号

7 書込信号線

8 ワード線

9 ビット線

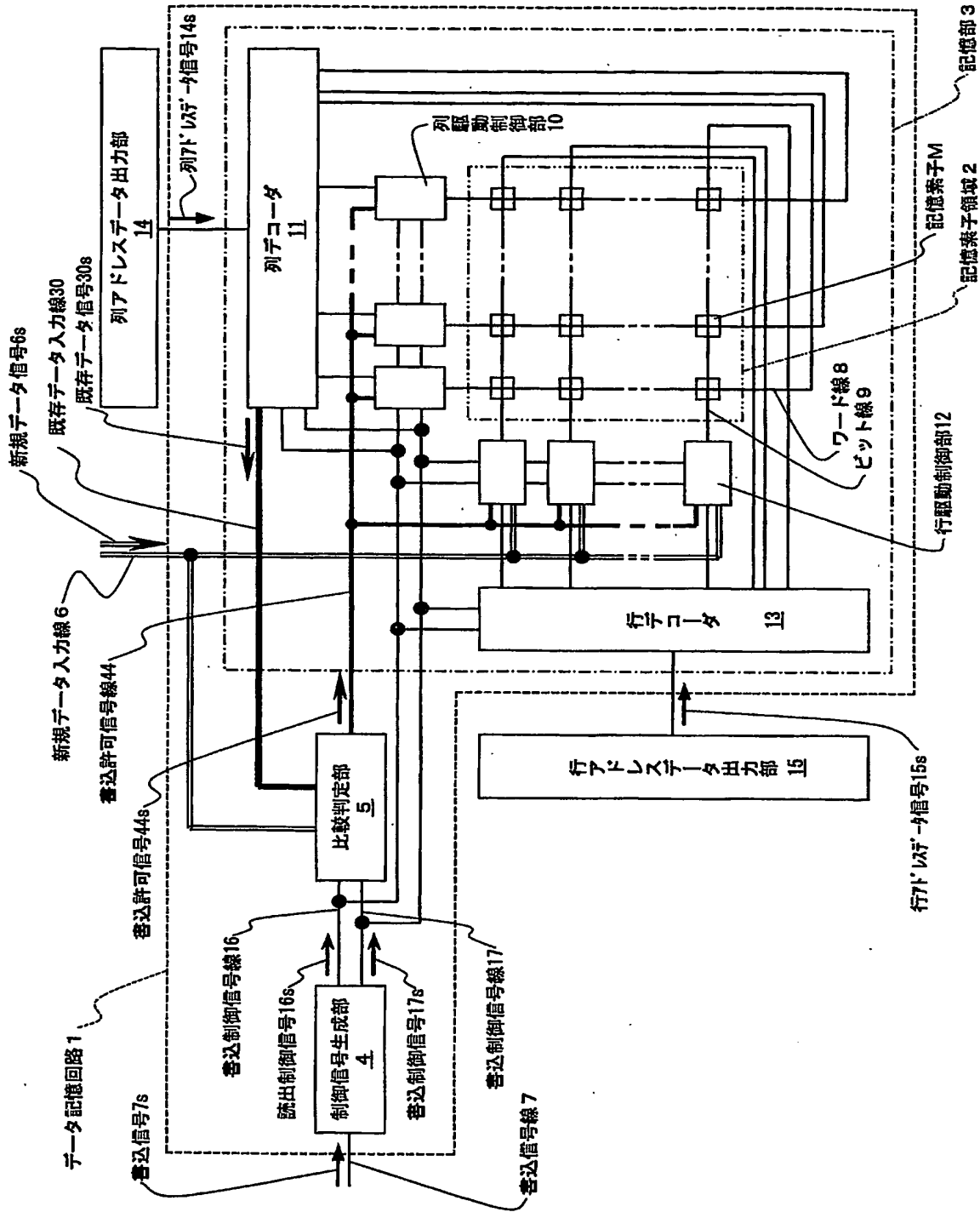
10 列駆動制御部

- 11 列デコーダ
- 12 行駆動制御部
- 13 行デコーダ
- 14 列アドレスデータ出力部
- 14s 列アドレスデータ信号
- 15 行アドレスデータ出力部
- 15s 行アドレスデータ信号
- 16 読出制御信号線
- 16s 読出制御信号
- 17 書込制御信号線
- 17s 書込制御信号
- 30 既存データ入力線
- 30s 既存データ信号
- 44 書込許可信号線
- 44s 書込許可信号

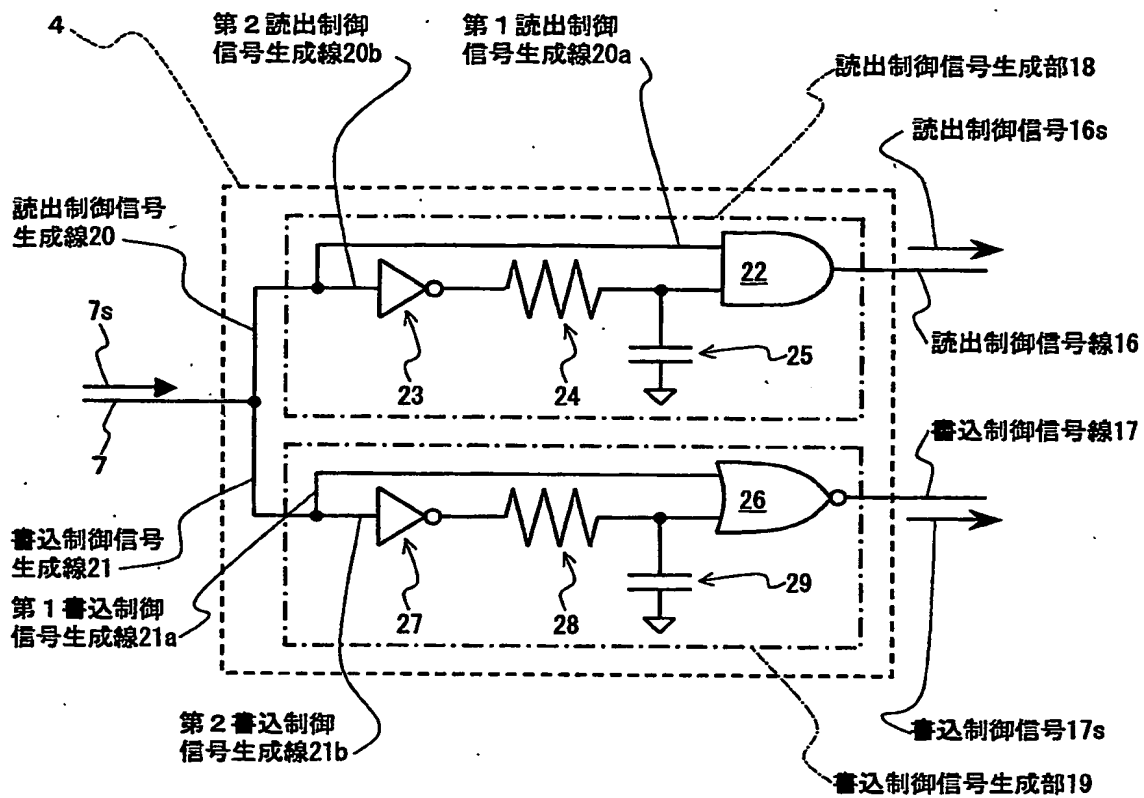
【書類名】

図面

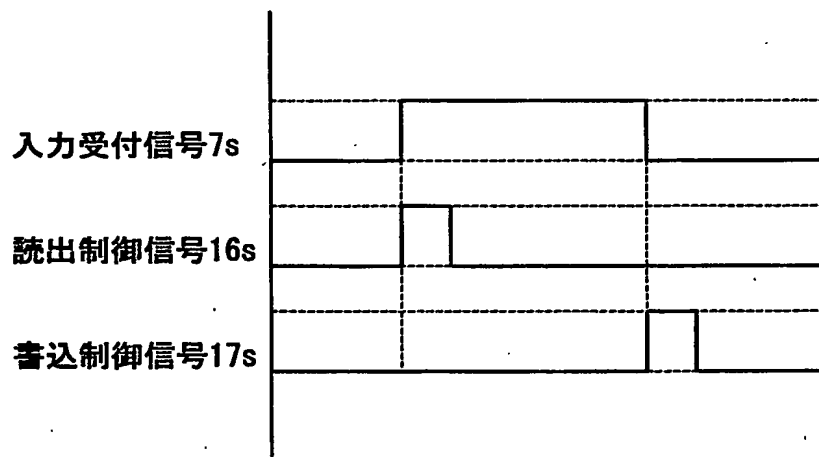
【図 1】



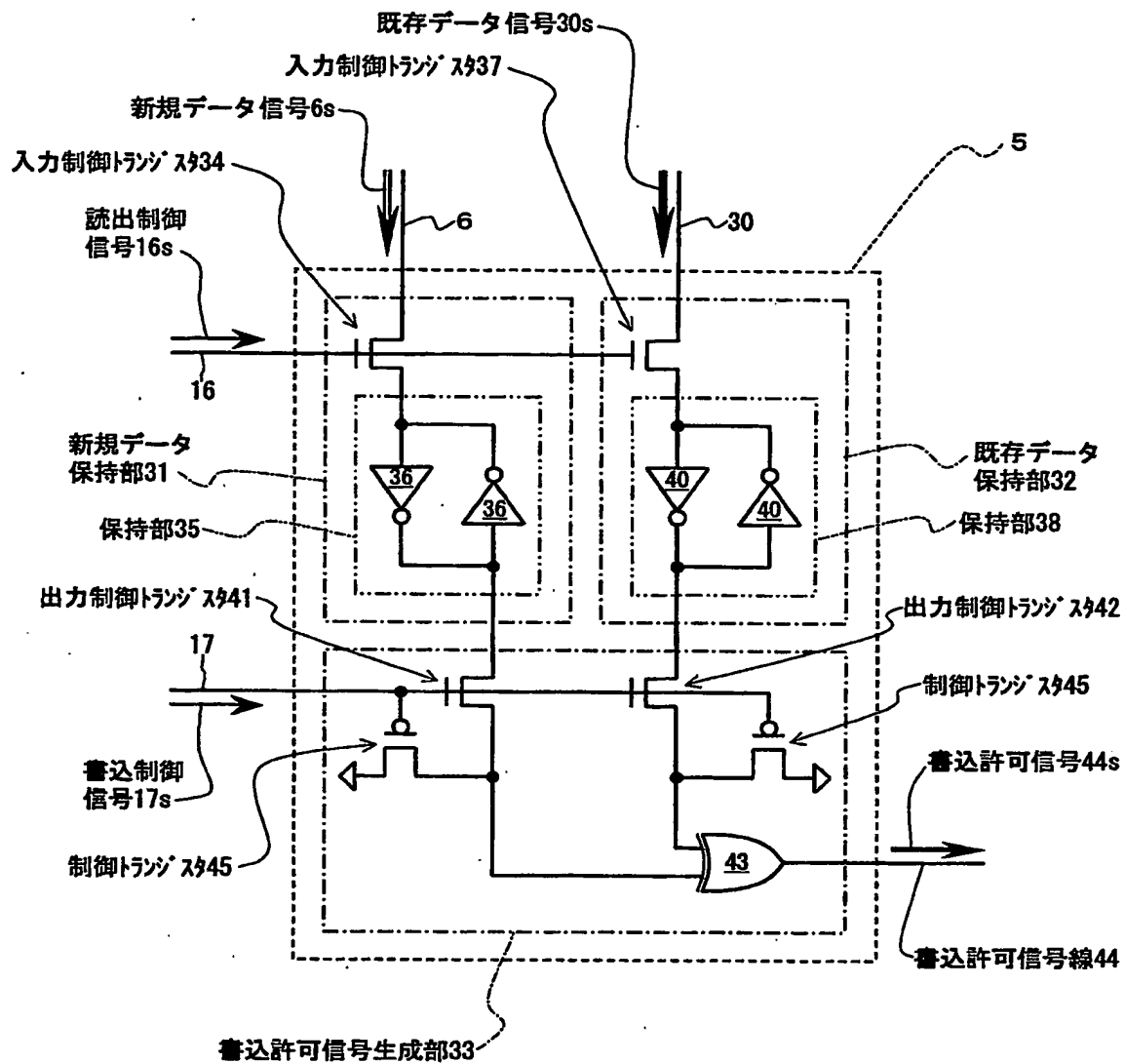
【図 2】



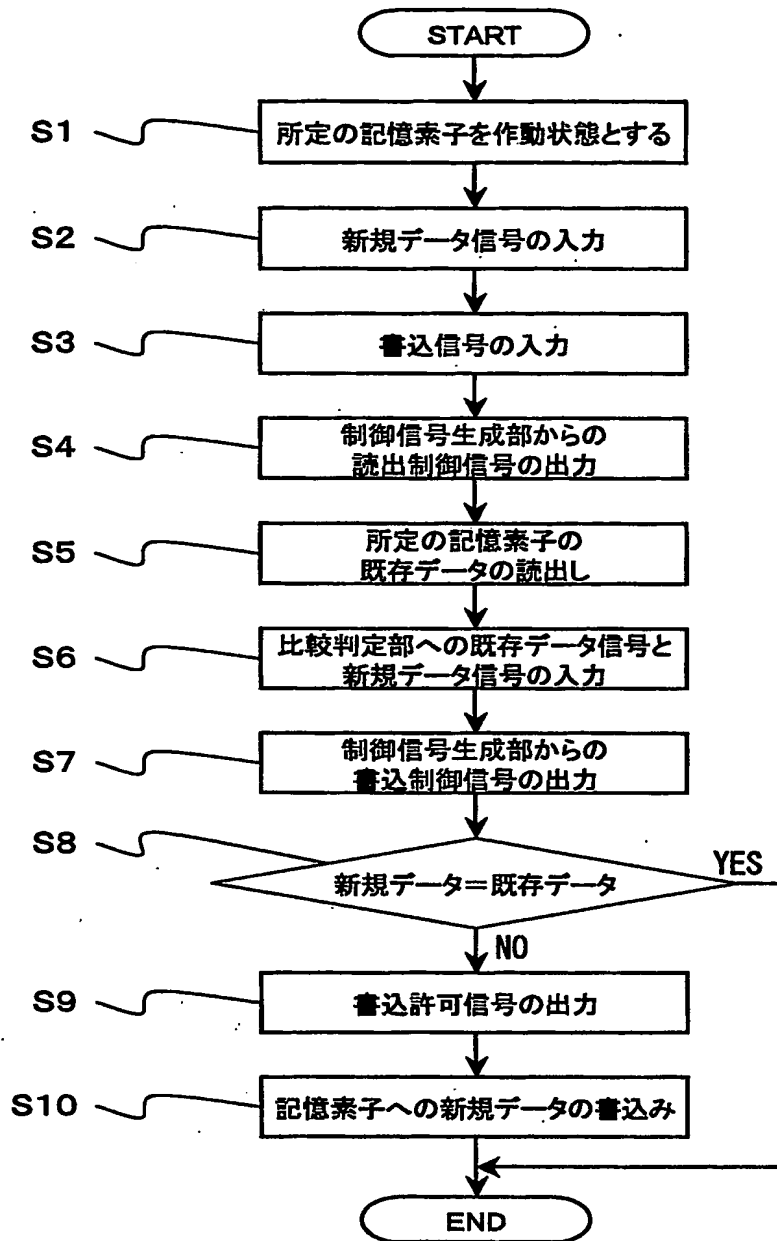
【図 3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 データの記憶を行なうデータ記憶回路において、省電力化したデータ記憶回路及び同データ記憶回路におけるデータ書込み方法、さらにデータ記憶装置を提供する。

【解決手段】 記憶素子Mに新規データの書込みを行なう前に、同記憶素子Mが記憶している既存データの読込みを行ない、既存データと新規データとを比較して、既存データと新規データとが一致する場合には記憶素子Mへの書込みを行わず、既存データと新規データとが不一致の場合には記憶素子Mへの新規データの書込みを行なうべくデータ記憶回路を構成する。同データ記憶回路を半導体基板上に形成することによりデータ記憶装置とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社